

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0032

Applicant: Ji Eun JANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: July 30, 2003

Art Unit: Unassigned

Title: TEST MODE CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

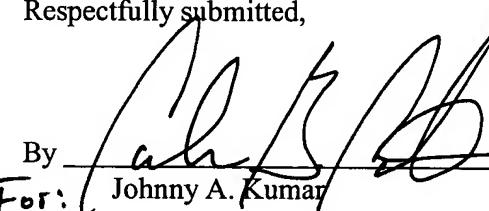
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0083354 filed December 24, 2002

Respectfully submitted,

By 
For: Johnny A. Kumar

31,298

Date: July 30, 2003

HELLER EHRLICH WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0083354
Application Number

출원년월일 : 2002년 12월 24일
Date of Application DEC 24, 2002

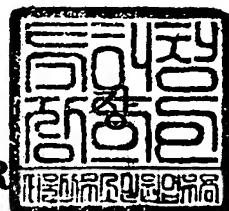
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.

2003년 05월 19일



특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.12.24
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 장치의 테스트 모드 회로
【발명의 영문명칭】	Test mode circuit of a semiconductor memory device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	장지은
【성명의 영문표기】	JANG, Ji Eun
【주민등록번호】	740620-2251214
【우편번호】	463-911
【주소】	경기도 성남시 분당구 정자동 한솔주공5단지 502-1401
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	1	면	1,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】			427,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로는, 모드 레지스터 셋 신호 및 최하위 어드레스 신호를 이용하여 테스트 모드 설정을 제어하는 테스트 모드 제어 수단과, 테스트 모드 제어 수단으로부터 출력된 테스트 모드 설정 신호에 의해 제어되고 상위 어드레스 신호들을 이용하여 테스트 모드 아이템 그룹을 선택하는 테스트 모드 디코더와, 하위 어드레스 신호들을 이용하여 테스트 모드 디코더에 의해 선택된 테스트 모드 아이템 그룹 중에서 해당하는 테스트 모드 아이템을 선택하는 테스트 모드 아이템 선택수단을 포함하여, 테스트 모드에서 사용되는 메탈 라인의 수를 줄일 수 있다.

【대표도】

도 5

【명세서】**【발명의 명칭】**

반도체 메모리 장치의 테스트 모드 회로{Test mode circuit of a semiconductor memory device}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 메모리 장치의 테스트 모드 회로를 나타낸 블록도.

도 2는 도 1에 도시된 테스트 모드 제어부의 상세 회로도.

도 3은 도 1에 도시된 어드레스 디코더의 상세 회로도.

도 4는 도 1에 도시된 테스트 모드 디코더의 상세 회로도.

도 5는 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로의 개념을 나타낸 블록도.

도 6은 도 5에 도시된 테스트 모드 디코더의 상세 회로도.

도 7은 도 5에 도시된 테스트 모드 아이템 선택 신호 발생부의 상세 회로도.

도 8은 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로에 대한 다른 실시 예를 나타낸 블록도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 메모리 장치의 테스트 모드 회로에 관한 것으로, 보다 상세하게는 복수개의 테스트 모드 아이템 중에서 일정 개수의 테스트 모드 아이템들을 하나의 그룹으로 구성하여 메탈 라인(metal line) 수를 줄일 수 있는 반도체 메모리 장치의 테스트 모드 회로에 관한 것이다.

<10> 도 1은 종래 기술에 따른 반도체 메모리 장치의 테스트 모드 회로를 나타낸 블록도이다.

<11> 테스트 모드 회로는, 테스트 모드 제어부(1)와, 어드레스 디코더(2)와, 테스트 모드 디코더(3)를 포함한다.

<12> 테스트 모드 제어부(1)는 모드 레지스터 셋 신호 MRS 신호에 의해 제어되어 어드레스 신호 ADD<7>의 상태에 따라 테스트 모드를 설정하는 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME를 출력한다.

<13> 어드레스 디코더(2)는 어드레스 신호들 ADD<0:5>을 디코딩하여 각 테스트 모드 아이템을 선택하기 위한 디코딩 어드레스 신호 TMADD<0:63>를 출력한다. 여기서, 64개의 테스트 모드 아이템을 사용하는 경우를 예를 들어 설명한다. 따라서, 각 테스트 모드 아이템을 선택하기 위해 6 비트의 어드레스 신호 ADD<0:5>를 디코딩한 64 비트의 디코딩 어드레스 신호 TMADD<0:63>가 사용되어야 한다.

<14> 테스트 모드 디코더(3)는 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME에 의해 제어되어, 디코딩 어드레스 신호 TMADD<0:63>에 따라 각 테스트 모드 아이템을 선택한다. 여기서 테스트 모드 디코더(3)는 원하는 테스트 모드 아이템으로 테스트가 수행되도록 해당하는 테스트 모드 아이템 선택 신호 TM<0:63>를 활성화 시킨다.

<15> 도 2는 도 1에 도시된 테스트 모드 제어부의 상세 회로를 나타낸 도면이다.

<16> 테스트 모드 제어부(1)는 모드 레지스터 셋 신호 MRS 및 어드레스 신호 ADD<7>를 부정 논리 곱하는 낸드게이트 NDS와, 낸드게이트 NDS로부터 출력된 신호를 반전시켜 테스트 모드 설정 신호 TMS를 출력하는 인버터 INS와, 모드 레지스터 셋 신호 MRS 및 어드레스 신호 ADD<7>가 인버터 INV에 의해 반전된 신호를 부정 논리 곱하는 낸드게이트 NDE와, 낸드게이트 NDE로부터 출력된 신호를 반전시켜 테스트 모드 종료 신호 TME를 출력하는 인버터 INE를 포함한다.

<17> 도 3은 도 1에 도시된 어드레스 디코더의 상세 회로를 나타낸 도면이다.

<18> 어드레스 디코더(2)는 어드레스 신호들 ADD<0:5>을 각각 반전시키는 인버터들 INN0~INN5과, 어드레스 신호들 ADD<0:5> 및 인버터들 INN0~INN5에 의해 반전된 신호들을 조합하여 부정 논리 곱하는 낸드게이트들 ND1과, 낸드게이트들 ND1로부터 출력된 신호들을 각각 반전시켜 디코딩 어드레스 신호들 TMADD<0:63>을 출력하는 인버터들 IN1을 포함한다.

<19> 도 4는 도 1에 도시된 테스트 모드 디코더의 상세 회로를 나타낸 도면이다.

<20> 테스트 모드 디코더(3)는, 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME에 의해 제어되어, 디코딩 어드레스 신호 TMADD<0:63>에 따라 각 테스트 모드 아이템

을 선택하는 테스트 모드 아이템 선택신호 TM<0:63>를 출력하는 64개의 테스트 모드 아이템 선택부(4)를 포함한다.

<21> 각 테스트 모드 아이템 선택부(4)는 전원전압 VDD과 접지전압 VSS 사이에 직렬 연결되고, 게이트에 테스트 모드 종료 신호 TME가 인가되는 피모스 트랜지스터 PM1, 게이트에 테스트 모드 설정 신호 TMS가 인가되는 엔모스 트랜지스터 NM1 및 게이트에 디코딩 어드레스 신호 TMADD<0:63> 중에서 해당하는 신호가 인가되는 엔모스 트랜지스터 NM2와, 피모스 트랜지스터 PM1 및 엔모스 트랜지스터 NM1의 공통 드레인의 전위를 유지하는 래치(5)를 포함한다. 여기서, 래치(5)는 반전 래치 형태를 가지며, 자신의 출력신호가 서로의 입력단자에 인가되는 두개의 인버터 INL1, INL2를 포함한다.

<22> 이와 같이 구성된 종래 기술에 따른 반도체 메모리 장치의 테스트 모드 회로의 동작을 설명하면 다음과 같다.

<23> 먼저 모드 레지스터 셋 신호 MRS가 하이 레벨이 되어 시스템이 활성화되면, 어드레스 신호 ADD<7>의 상태에 따라 테스트 모드의 상태가 설정된다.

<24> 예를 들어 어드레스 신호 ADD<7>가 하이 레벨이면, 테스트 모드 설정 신호 TMS가 하이 레벨이 되어 테스트 모드가 활성화 된다.

<25> 이때, 디코딩 어드레스 신호 TMADD<0:63> 중의 해당하는 신호가 하이 레벨이 되면, 해당하는 테스트 모드 아이템 선택부(4)는 테스트 모드 아이템 선택 신호를 하이 레벨로 활성화 시킨다.

<26> 따라서 해당하는 테스트 회로가 테스트 모드를 설정하여 테스트를 수행할 준비를 한다.

<27> 이와 같이 종래 기술에 따른 반도체 메모리 장치의 테스트 모드 회로는 각 테스트 모드 아이템을 설정하기 위한 메탈 라인을 각각 형성하여야 하기 때문에, 주변 회로 영역 커지게 되어 셀 효율(cell efficiency)을 떨어뜨리는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<28> 상기 문제점을 해결하기 위한 본 발명의 목적은, 테스트 모드 아이템들을 일정개수로 그룹을 형성하여 메탈 라인의 수를 줄일 수 있는 테스트 모드 회로를 제공하는 것이다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 테스트 모드 회로는,

<30> 모드 레지스터 셋 신호 및 테스트 모드 설정 어드레스 신호를 이용하여 테스트 모드 설정을 제어하는 테스트 모드 제어 수단;

<31> 상기 테스트 모드 제어 수단으로부터 출력된 테스트 모드 설정 신호에 의해 제어되고, 상위 어드레스 신호들을 이용하여 테스트 모드 아이템 그룹을 선택하는 테스트 모드 디코더; 및

<32> 하위 어드레스 신호들을 이용하여 상기 테스트 모드 디코더에 의해 선택된 테스트 모드 아이템 그룹 중에서 해당하는 테스트 모드 아이템을 선택하는 테스트 모드 아이템 선택수단을 포함하여 구성되는데,

<33> 상기 테스트 모드 아이템 그룹은 복수개의 테스트 모드 아이템 중에서 일정 수의 테스트 모드 아이템을 하나의 단위로 설정되는 것을 특징으로 한다.

<34> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

<35> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.

<36> 도 5는 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로를 나타낸 블록도이다.

<37> 테스트 모드 회로는, 테스트 모드 제어부(10)와, 어드레스 디코더(20)와, 테스트 모드 디코더(30)와, 어드레스 디코더(40)와, 테스트 모드 아이템 선택부(50)를 포함한다.

<38> 테스트 모드 제어부(10)는 모드 레지스터 셋 신호 MRS 신호에 의해 제어되어 어드레스 신호 ADD<7>의 상태에 따라 테스트 모드를 설정하는 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME를 출력한다.

<39> 어드레스 디코더(20)는 어드레스 신호들 ADD<0:3>을 디코딩하여 각 테스트 모드 아이템 그룹을 선택하기 위한 디코딩 어드레스 신호 TMADD<0:15>를 출력한다.

<40> 테스트 모드 디코더(30)는 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME에 의해 제어되어, 디코딩 어드레스 신호 TMADD<0:15>에 따라 각 테스트 모드 아이템 그룹을 선택하는 테스트 모드 아이템 그룹 선택신호 TMDEC<0:15>를 출력한다.

<41> 어드레스 디코더(40)는 어드레스 신호들 ADD<4:5>을 디코딩하여 선택된 테스트 모드 아이템 그룹 중에서 원하는 테스트 모드 아이템을 선택하기 위한 디코딩 어드레스 신호 ADDDEC<0:3>를 출력한다.

<42> 테스트 모드 아이템 선택부(50)는 디코딩 어드레스 신호 ADDDEC<0:3>에 의해 테스트 모드 아이템 그룹 선택신호 TMDEC<0:15>에 의해 선택된 테스트 모드 아이템 그룹 중에서 원하는 테스트 모드 아이템을 선택하는 테스트 모드 아이템 그룹 선택 신호 TM<0:63>를 발생한다.

<43> 도 6은 도 5에 도시된 테스트 모드 디코더의 상세 회로를 나타낸 도면이다.

<44> 테스트 모드 디코더(30)는 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME에 의해 제어되어, 디코딩 어드레스 신호 TMADD<0:15>에 따라 각 테스트 모드 아이템 그룹을 선택하는 테스트 모드 아이템 그룹 선택 신호 TMDEC<0:15>를 출력하는 16개의 테스트 모드 아이템 선택부(31)를 포함한다.

<45> 각 테스트 모드 아이템 선택부(31)는 전원전압 VDD과 접지전압 VSS 사이에 직렬 연결되고, 게이트에 테스트 모드 종료 신호 TME가 인가되는 피모스 트랜지스터 PM11, 게이트에 테스트 모드 설정 신호 TMS가 인가되는 엔모스 트랜지스터 NM11 및 게이트에 디코딩 어드레스 신호 TMADD<0:15> 중에서 해당하는 신호가 인가되는 엔모스 트랜지스터 NM12와, 피모스 트랜지스터 PM11 및 엔모스 트랜지스터 NM11의 공통 드레인의 전위를 유지하는 래치(32)를 포함한다. 여기서, 래치(32)는 반전 래치 형태를 가지며, 자신의 출력신호가 서로의 입력단자에 인가되는 두개의 인버터 INL11, INL12를 포함한다.

<46> 도 7은 도 5에 도시된 테스트 모드 아이템 선택부의 상세 회로를 나타낸 도면이다.

<47> 테스트 모드 아이템 선택부(50)는 디코딩 어드레스 신호 ADDDEC<0:3>를 이용하여 테스트 모드 아이템 그룹 선택신호 TMDEC<0:15>에 의해 선택된 테스트 모드 아이템 그룹

중에서 원하는 테스트 모드 아이템을 선택하는 테스트 모드 아이템 선택 신호 TM<0:63>를 출력하는 16개의 단위 선택부(51)를 포함한다.

<48> 각 단위 선택부(51)는 테스트 모드 아이템 그룹 선택 신호 TMDEC<0:15> 중에서 해당하는 신호 및 디코딩 어드레스 신호 ADDDEC<0:3>를 각각 부정 논리 곱하는 낸드게이트들 ND21~ND24과, 낸드게이트들 ND21~ND24로부터 출력된 신호를 반전시켜 테스트 모드 아이템 선택 신호 TM<0:63>를 출력하는 인버터 INV21~INV24를 포함한다.

<49> 여기서, 어드레스 디코더(20, 40)는 일반적인 디코더 회로가 사용되기 때문에 여기서는 그의 상세한 구성 및 동작 설명은 생략한다.

<50> 이와 같이 구성된 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로의 동작을 설명하면 다음과 같다.

<51> 먼저, 테스트 모드 제어부(10)에서 모드 레지스터 셋 신호 MRS가 하이 레벨이 되어 시스템이 활성화되면, 어드레스 신호 ADD<7>의 상태에 따라 테스트 모드의 상태가 설정된다.

<52> 예를 들어 어드레스 신호 ADD<7>가 하이 레벨이면, 테스트 모드 설정 신호 TMS가 하이 레벨이 되어 테스트 모드가 활성화 된다.

<53> 이때, 테스트 모드 디코더(30)에서 원하는 테스트 모드 아이템 그룹을 선택하기 위해 디코딩 어드레스 신호 TMADD<0:15> 중의 원하는 신호가 하이 레벨이 되면, 테스트 모드 아이템 그룹 선택 신호 TMDEC<0:15> 중에서 해당하는 신호가 하이 레벨로 활성화 된다.

<54> 테스트 모드 아이템 선택부(50)에서 원하는 테스트 모드 아이템을 선택하기 위해 디코딩 어드레스 신호 ADDDEC<0:3> 중에서 원하는 신호가 하이 레벨이 되면, 테스트 모드 아이템 그룹 선택 신호 TMDEC<0:15> 중에서 하이 레벨로 활성화된 신호에 해당하는 단위 선택부(51)가 활성화되어 있기 때문에, 테스트 모드 아이템 선택 신호 TM<0:63> 중에서 원하는 신호가 활성화 된다.

<55> 따라서 해당하는 테스트 회로가 테스트 모드를 설정하여 테스트를 수행할 준비를 한다.

<56> 도 8은 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로의 다른 실시예를 나타낸 블록도이다.

<57> 테스트 모드 회로는, 테스트 모드 제어부(60)와, 테스트 모드 디코더(70)와, 테스트 모드 아이템 선택부(80)를 포함한다.

<58> 테스트 모드 디코더(70)는 테스트 모드 설정 신호 TMS 및 테스트 모드 종료 신호 TME에 의해 제어되어, 어드레스 신호 ADD<0:16>에 따라 각 테스트 모드 아이템 그룹을 선택하는 테스트 모드 아이템 그룹 선택신호 TMDEC<0:15>를 출력한다.

<59> 테스트 모드 아이템 선택부(80)는 어드레스 신호 ADD<17:20>에 의해 테스트 모드 아이템 그룹 선택신호 TMDEC<0:15>에 의해 선택된 테스트 모드 아이템 그룹 중에서 원하는 테스트 모드 아이템을 선택하는 테스트 모드 아이템 그룹 선택 신호 TM<0:63>를 발생 한다.

<60> 여기서, 도 8에 도시된 본 발명의 다른 실시예의 상세한 동작은 도 5에 도시된 본 발명의 일실시예와 동일하기 때문에 여기서는 그의 상세한 동작 설명은 생략한다.

<61> 이와 같이 구성된 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 테스트 모드 회로는, 도 5에 도시된 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로에서 사용된 어드레스 디코더(20, 40)를 사용하지 않고, 어드레스 신호 ADD<0:16>가 테스트 모드 디코더(70)에 직접 입력되고, 어드레스 신호 ADD<17:20>가 테스트 모드 아이템 선택부(80)에 직접 입력된다. 따라서 도 5에 도시된 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로에 대비하여 두개의 어드레스 디코더(20, 40)를 사용하지 않아도 되기 때문에 회로를 단순하게 구성할 수 있다.

【발명의 효과】

<62> 이상에서 살펴본 바와 같이, 본 발명에 따른 반도체 메모리 장치의 테스트 모드 회로는 몇 개의 테스트 모드 아이템을 하나의 그룹으로 구성하고, 먼저 테스트 모드 아이템 그룹을 선택하기 때문에, 테스트 모드 아이템 각각을 선택하기 위한 메탈 라인의 수를 줄일 수 있는 효과가 있다.

<63> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

모드 레지스터 셋 신호 및 테스트 모드 설정 어드레스 신호를 이용하여 테스트 모드 설정을 제어하는 테스트 모드 설정 신호를 출력하는 테스트 모드 제어 수단;

상기 테스트 모드 설정 신호에 의해 제어되고, 상위 어드레스 신호들을 이용하여 테스트 모드 아이템 그룹을 선택하는 테스트 모드 디코더; 및

하위 어드레스 신호들을 이용하여 상기 테스트 모드 디코더에 의해 선택된 테스트 모드 아이템 그룹 중에서 해당하는 테스트 모드 아이템을 선택하는 테스트 모드 아이템 선택수단을 포함하는데,

상기 테스트 모드 아이템 그룹은 복수개의 테스트 모드 아이템 중에서 일정 수의 테스트 모드 아이템을 하나의 단위로 설정되는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 2】

제 1 항에 있어서,

상기 테스트 모드 제어수단은, 모드 레지스터 셋 신호에 의해 제어되어 테스트 모드 설정 어드레스 신호의 상태에 따라 테스트 모드를 설정하는 신호의 상태를 결정하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 3】

제 1 항에 있어서,

상기 테스트 모드 디코더는, 상기 테스트 모드 제어수단으로부터 출력된 신호에 따라 제어되어, 상기 상위 어드레스 신호들에 의해 상기 복수의 테스트 모드 아이템 그룹 중에서 해당하는 테스트 모드 아이템 그룹을 선택하는 복수의 그룹 선택신호를 각각 출력하는 복수의 그룹 선택수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 4】

제 3 항에 있어서,

상기 각 그룹 선택 수단은, 상기 테스트 모드 제어수단으로부터 출력된 신호에 의해 제어되어 상기 해당하는 그룹 선택신호를 풀업하는 풀업 수단; 및
상기 해당하는 상위 어드레스 신호에 의해 제어되어 상기 해당하는 그룹 선택신호를 풀다운하는 제1 풀다운 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 5】

제 4 항에 있어서,

상기 각 그룹 선택수단은, 상기 테스트 모드 제어수단으로부터 출력된 신호에 의해 제어되어 상기 해당하는 그룹 선택신호를 풀다운하는 제2 풀다운 수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 6】

제 3 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 각 그룹 선택수단은, 상기 그룹 선택신호의 전위를 유지하는 래치 수단을 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 7】

제 1 항에 있어서,

상기 테스트 모드 아이템 선택수단은, 상기 하위 어드레스 신호들을 이용하여, 상기 테스트 모드 디코더로부터 출력된 신호에 의해 선택된 테스트 모드 아이템 그룹 중에서 해당하는 테스트 모드 아이템을 선택하는 복수의 아이템 선택수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【청구항 8】

제 1 항에 있어서,

상기 상위 어드레스 신호들을 디코딩하여 상기 테스트 모드 디코더로 디코딩된 어드레스 신호들을 출력하는 제1 어드레스 디코더를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

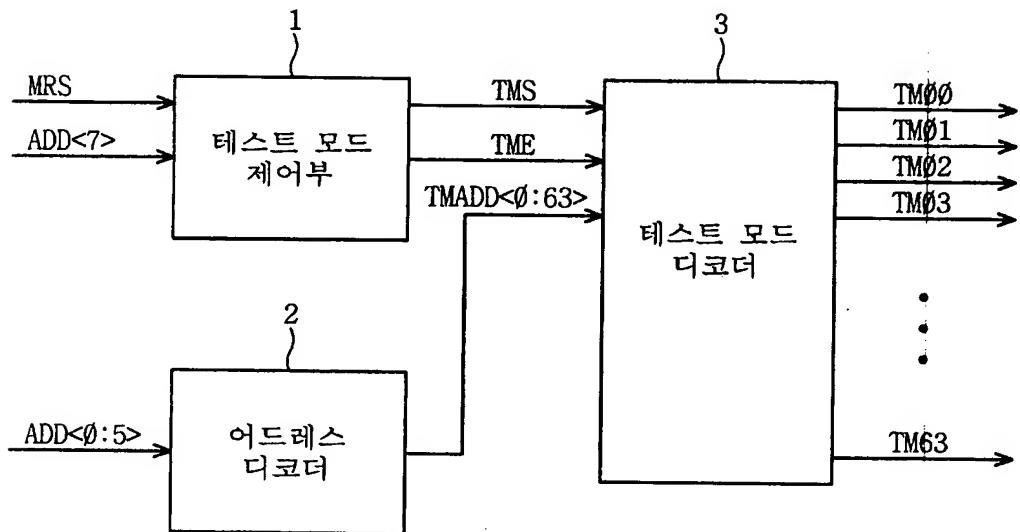
【청구항 9】

제 1 항 및 제 8 항 중 어느 한 항에 있어서,

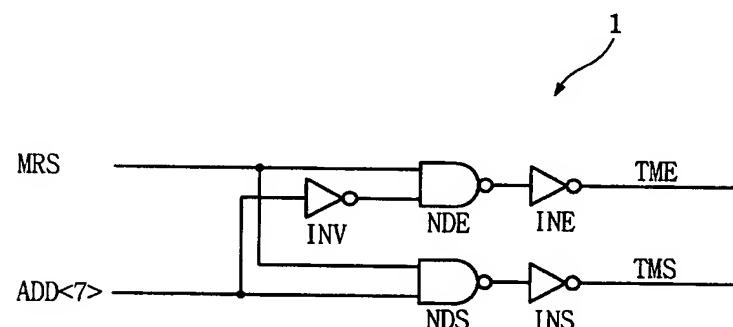
상기 하위 어드레스 신호들을 디코딩하여 상기 테스트 모드 아이템 선택수단으로 디코딩된 어드레스 신호들을 출력하는 어드레스 디코더를 더 포함하는 것을 특징으로 하는 반도체 메모리 장치의 테스트 모드 회로.

【도면】

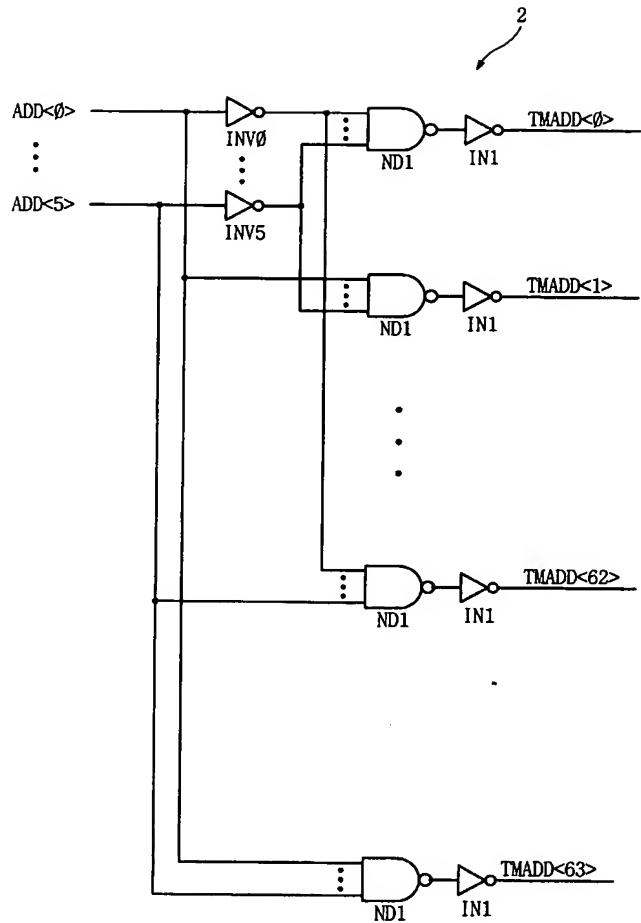
【도 1】



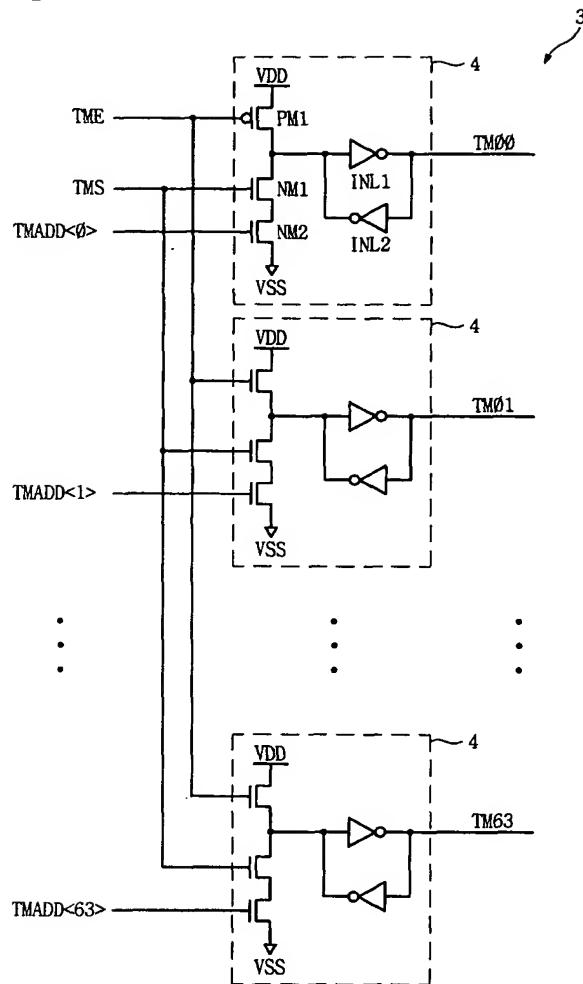
【도 2】



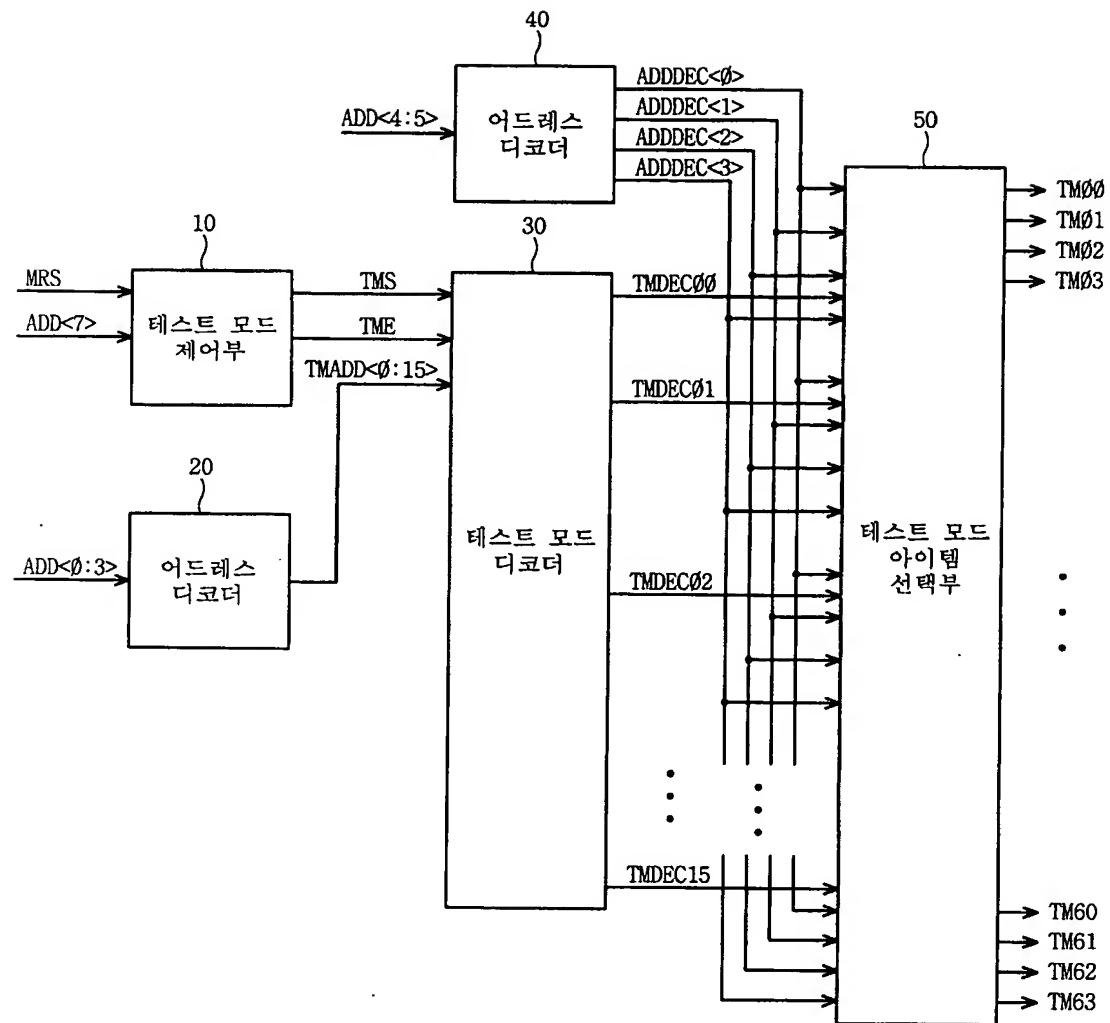
【도 3】



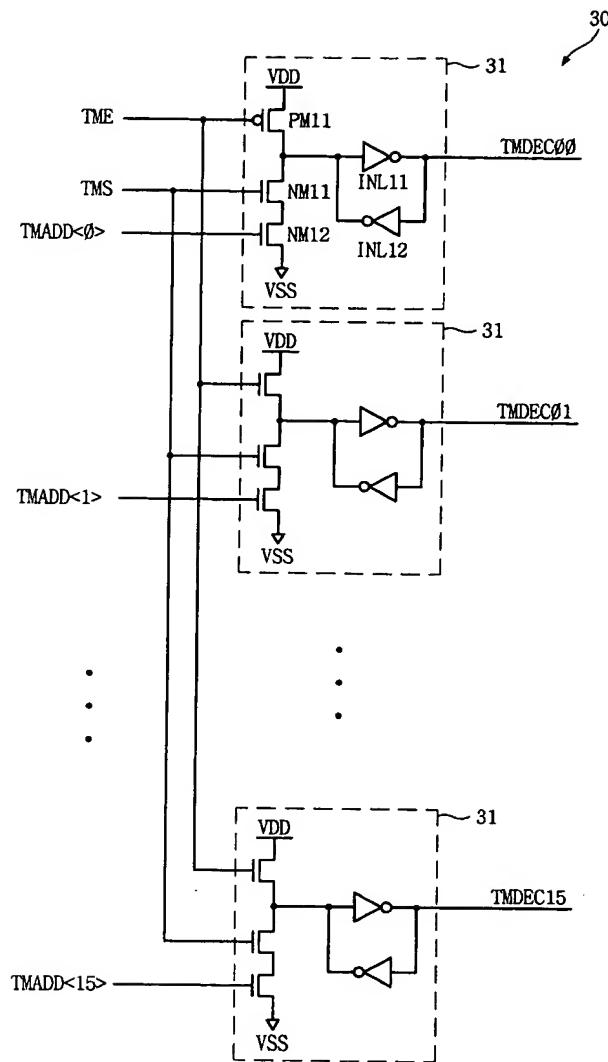
【도 4】



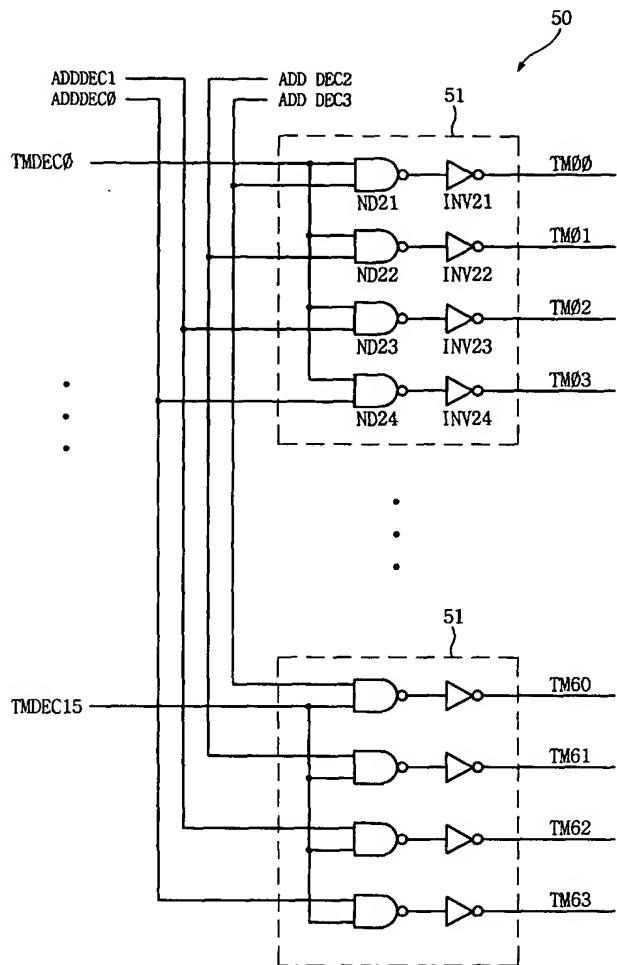
【도 5】



【도 6】



【도 7】





【도 8】

